



05.10.04

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 28 JAN. 2004

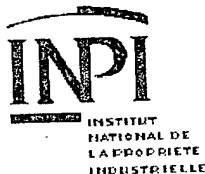
Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION CERTIFICAT D'UTILITE

26bis, rue de Saint-Petersbourg
75800 Paris Cédex 08
Téléphone: 01 53.04.53.04 Télécopie: 01.42.94.86.54

Code de la propriété intellectuelle-livre VI

REQUÊTE EN DÉLIVRANCE

DATE DE REMISE DES PIÈCES: N° D'ENREGISTREMENT NATIONAL: DÉPARTEMENT DE DÉPÔT: DATE DE DÉPÔT:		Michel DE BEAUMONT CABINET MICHEL DE BEAUMONT 1, rue Champollion 38000 GRENOBLE France	
Vos références pour ce dossier: B6274			
1 NATURE DE LA DEMANDE			
Demande de brevet			
2 TITRE DE L'INVENTION			
COMPOSANT SEMICONDUCTEUR ACTIF A SURFACE OPTIMISEE			
3 DECLARATION DE PRIORITE OU REQUETE DU BENEFICE DE LA DATE DE DEPOT D'UNE DEMANDE ANTERIEURE FRANCAISE		Pays ou organisation	Date N°
4-1 DEMANDEUR		Nom: STMICROELECTRONICS SA Rue: 29, Boulevard Romain Rolland Code postal et ville: 92120-MONTROUGE Pays: France Nationalité: France Forme juridique: Société anonyme	
5A MANDATAIRE		Nom: DE BEAUMONT Prénom: Michel Qualité: CPI: 92-1016, Pas de pouvoir Cabinet ou Société: CABINET MICHEL DE BEAUMONT Rue: 1, rue Champollion Code postal et ville: 38000 GRENOBLE N° de téléphone: 0476518451 N° de télécopie: 0476446254 Courrier électronique: cab.beaumont@wanadoo.fr	
6 DOCUMENTS ET FICHIERS JOINTS		Fichier électronique	Pages
Texte du brevet		textebrevet.pdf	15
Dessins		dessins.pdf	7
Désignation d'inventeurs		Détails D 12, R 2, AB 1 page 7, figures 7, Abrégé: page 2, Fig.3	

7 MODE DE PAIEMENT				
Mode de paiement		Prélèvement du compte courant		
Numéro du compte client		665		
8 RAPPORT DE RECHERCHE				
Etablissement immédiat				
9 REDEVANCES JOINTES				
	Devise	Taux	Quantité	Montant à payer
062 Dépôt	EURO	0.00	1.00	0.00
063 Rapport de recherche (R.R.)	EURO	320.00	1.00	320.00
068 Revendication à partir de la 11ème	EURO	15.00	1.00	15.00
Total à acquitter	EURO			335.00

La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont, M.De Beaumont
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2.0

Fonction

Mandataire agréé (Mandataire 1)



BREVET D'INVENTION CERTIFICAT D'UTILITE

Réception électronique d'une soumission

Il est certifié par la présente qu'une demande de brevet (ou de certificat d'utilité) a été reçue par le biais du dépôt électronique sécurisé de l'INPI. Après réception, un numéro d'enregistrement et une date de réception ont été attribués automatiquement.

Demande de brevet : X

Demande de CU :

DATE DE RECEPTION	5 décembre 2003	
TYPE DE DEPOT	INPI (PARIS) - Dépôt électronique	Dépôt en ligne: X
N° D'ENREGISTREMENT NATIONAL ATTRIBUE PAR L'INPI	0350987	Dépôt sur support CD:
Vos références pour ce dossier	B6274	
DEMANDEUR		
Nom ou dénomination sociale	STMICROELECTRONICS SA	
Nombre de demandeur(s)	1	
Pays	FR	
TITRE DE L'INVENTION		
COMPOSANT SEMICONDUCTEUR ACTIF A SURFACE OPTIMISEE		
DOCUMENTS ENVOYES		
package-data.xml	Requetefr.PDF	application-body.xml
Design.PDF	ValidLog.PDF	fee-sheet.xml
FR-office-specific-info.xml	Comment.PDF	textebrevet.pdf
dessins.pdf	indication-bio-deposit.xml	request.xml
EFFECTUE PAR		
Effectué par:	M.De Beaumont	
Date et heure de réception électronique:	5 décembre 2003 14:58:40	
Empreinte officielle du dépôt	8F:69:F2:0C:25:70:77:B8:39:F6:88:34:B6:DF:5D:FA:6A:25:02:31	

/ INPI PARIS, Section Dépôt /

SIEGE SOCIAL
INSTITUT 26 bis, rue de Saint-Petersbourg
NATIONAL DE 75800 PARIS cedex 08
LA PROPRIETE Téléphone : 01 53 04 53 04
INDUSTRIELLE Télécopie : 01 42 93 59 30

COMPOSANT SEMICONDUCTEUR ACTIF À SURFACE OPTIMISÉE

La présente invention concerne un nouveau type de composant semiconducteur. La présente invention s'applique plus particulièrement aux composants de puissance et aux composants de protection destinés à supporter de hautes tensions, ces composants étant généralement qualifiés de composants discrets bien que plusieurs tels composants puissent être prévus sur une même puce, et/ou qu'ils puissent être associés à des circuits logiques prévus sur la même puce.

Les figures 1A et 1B représentent à titre d'exemple une vue en perspective et une vue en coupe d'une structure de diode de puissance verticale classique. Cette diode est formée à partir d'un substrat comprenant une région 1 fortement dopée de type N (N^+) et une couche 2 faiblement dopée de type N revêtue d'une couche 3 de type P. La face supérieure est revêtue d'une métallisation d'anode 4 et la face inférieure est revêtue d'une métallisation de cathode 5. La référence 6 désigne une couche isolante.

La figure 2 est une vue en perspective d'un thyristor de puissance vertical. Ce thyristor comprend un substrat 10 faiblement dopé de type N. Du côté de la surface supérieure est formé un caisson 11 de type P contenant une région de cathode 12 de type N. Du côté de la surface inférieure est formée une

couche 13 d'anode de type P. Il est également prévu une métallisation d'anode MA, une métallisation de cathode MK et une métallisation de gâchette MG. Pour éviter que la métallisation d'anode vienne court-circuiter le substrat 10, ou pour séparer ce thyristor d'un composant voisin, il est généralement prévu un mur d'isolement périphérique de type P 15.

Un inconvénient des composants verticaux réside dans leur résistance à l'état passant. En effet, les épaisseurs des diverses couches et régions, sont optimisées en fonction des caractéristiques souhaitées de la diode. En particulier, l'épaisseur de la couche de type N 2 (diode) ou 10 (thyristor) doit être suffisamment élevée pour que le composant ait une tension de claquage désirée mais doit être aussi faible que possible pour limiter la résistance à l'état passant du composant. Dans le cas d'une diode, la couche N⁺ 1 n'a aucun rôle actif dans le fonctionnement de la diode. Elle sert simplement à assurer un contact ohmique avec la métallisation et est utilisée pour réduire la résistance de la diode à l'état passant, liée au fait qu'une plaquette de silicium a dans les technologies courantes une épaisseur de 300 à 500 μm , dans la plupart des cas bien supérieure à l'épaisseur souhaitée de la couche N 2 (par exemple 60 μm pour supporter 600 V). Dans le cas du thyristor, l'épaisseur de la couche 10 est également imposée par l'épaisseur de la plaquette de silicium et divers moyens, souvent complexes, sont mis en oeuvre pour la réduire.

Un autre inconvénient des composants verticaux est que la surface des jonctions actives, est liée à la surface de la puce semiconductrice occupée par le composant, ces jonctions étant horizontales (dans des plans parallèles aux faces principales de la diode).

De plus, de tels composants destinés à supporter de hautes tensions, posent de nombreux problèmes pour assurer la tenue en tension à la périphérie de la jonction semiconductrice ou Schottky, ainsi que pour isoler le composant dans son ensemble et assurer sa protection (mur d'isolement).

On a décrit uniquement à titre d'exemple de composants verticaux une diode PNN⁺ et un thyristor, les problèmes indiqués ci-dessus concernent de façon générale les composants de puissance ou haute tension verticaux, par exemple des diodes Schottky, des commutateurs bidirectionnels, ou des composants à commande en tension, de type MOS.

La présente invention vise à prévoir de nouveaux types de diodes et plus généralement de nouveaux types de composants semiconducteurs de puissance ou haute tension permettant d'éviter au moins certains des inconvénients susmentionnés des composants verticaux, en particulier d'augmenter la surface de jonction active par rapport à la surface de la puce dans laquelle le composant est formé, de réduire la chute de tension à l'état passant, de simplifier la structure périphérique des composants individuels...

Pour atteindre ces objets, la présente invention prévoit un composant semiconducteur dans lequel les jonctions actives s'étendent selon au moins un cylindre perpendiculaire aux faces principales d'une puce semiconductrice sensiblement sur toute l'épaisseur de celle-ci, le ou lesdits cylindres ayant, en coupe, une section en forme de courbe fermée ondulée.

Selon un mode de réalisation de la présente invention, ladite courbe ondulée est une courbe de type courbe de Sierpinski.

Selon un mode de réalisation de la présente invention, les contacts avec les régions devant être connectées sont pris par des doigts conducteurs perpendiculaires aux faces principales de la puce semiconductrice et traversant sensiblement toute la région avec laquelle on souhaite établir un contact.

Selon un mode de réalisation de la présente invention, les doigts conducteurs sont des doigts métalliques.

Selon un mode de réalisation de la présente invention, le composant semiconducteur est de type multicellulaire, et les jonctions sont constituées de plusieurs cylindres orthogonaux aux faces principales du substrat.

Selon un mode de réalisation de la présente invention, ledit au moins un doigt conducteur solidaire de la couche semiconductrice la plus externe constitue un cylindre ou des portions de cylindre entourant l'adite couche semiconductrice la plus externe.

Selon un mode de réalisation de la présente invention, le composant est une diode comprenant un doigt conducteur central s'étendant sur toute l'épaisseur du substrat entouré d'une région d'un premier type de conductivité et d'une région d'un second type de conductivité, un contact étant repris à la périphérie de la région du second type de conductivité par au moins un doigt conducteur périphérique, le doigt conducteur central étant relié à une première métallisation s'étendant sur toute une face du substrat, et ledit au moins un doigt conducteur périphérique étant relié à une métallisation sur l'autre face du substrat.

Selon un mode de réalisation de la présente invention, la diode est formée dans un substrat semiconducteur de type N, les doigts conducteurs pénétrant les régions de type N étant entourés de régions fortement dopées de type N.

Selon un mode de réalisation de la présente invention, le composant est un transistor bipolaire, comprenant en alternance une région d'un premier type de conductivité, une région d'un deuxième type de conductivité, et une région du premier type de conductivité, chacune de ces régions s'étendant sur toute l'épaisseur du substrat et étant contactée par au moins un doigt conducteur, chacun de ces doigts conducteurs étant respectivement connecté à une métallisation d'émetteur, à une métallisation de base, et à une métallisation de collecteur.

Selon un mode de réalisation de la présente invention, le composant est un thyristor comprenant successivement une première région d'un premier type de conductivité, une deuxième région du deuxième type de conductivité, une troisième région du premier type de conductivité et une quatrième région du deuxième type de conductivité, chacune de ces régions s'étendant sur

toute l'épaisseur du substrat, un doigt conducteur s'étendant dans toute la première région, au moins un doigt conducteur s'étendant dans toute la deuxième région, et au moins un doigt conducteur s'étendant dans toute la deuxième région.

5 Selon un mode de réalisation de la présente invention, dans le thyristor, le premier type de conductivité est le type N, et le deuxième type de conductivité est le type P, la première région étant une région de cathode et la quatrième région une région d'anode, et des métallisations localisées s'étendant verticalement entre la région de gâchette et la région de cathode pour constituer des courts-circuits gâchette-cathode localisés.

10 Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

15 les figures 1A et 1B, décrites précédemment, sont une vue en perspective et une vue en coupe schématique d'une structure de diode verticale classique ;

20 la figure 2, décrite précédemment, est une vue en coupe schématique d'une structure de thyristor vertical classique ;

25 la figure 3A est une vue en perspective schématique d'un mode de réalisation d'une diode selon la présente invention ;

30 la figure 3B est une vue de dessus schématique d'une cellule de diode selon la présente invention ;

35 la figure 3C est une vue de dessus schématique d'une variante de diode selon la présente invention ;

 la figure 4 est une vue de dessus schématique d'une mer de cellules de diode selon la présente invention ;

 les figures 5A et 5B sont respectivement une vue en coupe schématique et un schéma de circuit d'une diode selon la présente invention ;

la figure 6 est une vue en coupe d'un transistor bipolaire selon la présente invention ; et

la figure 7 est une vue en coupe d'un thyristor selon la présente invention.

5 Comme cela est classique dans le domaine de la représentation des semiconducteurs, les diverses figures ne sont pas tracées à l'échelle. Notamment, dans ces diverses figures, les dimensions latérales ont été beaucoup exagérées par rapport aux directions verticales. En effet, une plaquette de silicium a
10 couramment une épaisseur de 300 à 500 μm - et des épaisseurs plus élevées pourront être choisies pour une mise en oeuvre de l'invention - tandis que des motifs et des vias peuvent être définis selon des dimensions de l'ordre de 1 à 10 μm , ou plus.

15 La figure 3A est une vue en perspective schématique d'une portion de composant semiconducteur dans laquelle est réalisé un ensemble de cellules de diodes selon la présente invention. Les faces principales du composant correspondent aux faces supérieure et inférieure d'une tranche semiconductrice et la face verticale, dont l'épaisseur est désignée par e, corres-
20 pond à l'épaisseur de la tranche semiconductrice.

La jonction de chaque cellule de diode est réalisée de façon verticale dans l'épaisseur de la tranche semiconductrice.

25 La figure 3A représente une topologie de diode multicellulaire selon la présente invention, étant entendu que dans certains cas on pourra utiliser une seule cellule de diode. La structure est formée dans un substrat 21 faiblement dopé de type N dont l'épaisseur est désignée par e. Chaque cellule comprend un doigt conducteur cylindrique central 22 entouré d'une région cylindrique 23 de type P elle-même entourée d'une
30 portion cylindrique de substrat 21 de type N. Des contacts sont repris avec la portion de substrat 21 par des doigts conducteurs 24. Tout le volume 20 compris entre la portion cylindrique 21 et les doigts conducteurs 24, pourrait être occupé par du métal. C'est seulement dans le cadre d'un mode de réalisation de

l'invention que l'on décrira principalement ici les doigts 24 séparés les uns des autres.

Une façon de réaliser une telle structure est de former à partir d'une surface de la tranche des premières ouvertures 22 s'étendant de préférence sur toute la hauteur du substrat. A partir de ces ouvertures est formée une diffusion 23 de type P, puis ces ouvertures sont remplies de métal pour constituer des vias 22. Des deuxièmees ouvertures 24, en quinconce par rapport aux ouvertures 22, s'étendent également de préférence sur toute la hauteur du substrat. Une courte diffusion N^+ 25 est formée à partir de ces deuxièmees ouvertures qui sont remplies de métal pour constituer des vias 24. Tous les vias 22 sont reliés entre eux et tous les vias 24 sont reliés entre eux par des métallisations d'anode et de cathode, non représentées, des couches isolantes, non représentées, assurant les isollements nécessaires. On obtient entre ces métallisations, par exemple respectivement formées sur les faces supérieure et inférieure de la structure, une diode à jonctions verticales à faible résistance à l'état passant et de densité bien supérieure à ce qui pourrait être obtenu avec une diode classique à jonction horizontale.

Ainsi, la jonction de la diode est une jonction verticale entre les régions N et P 21 et 23. Il n'est pas nécessaire comme dans le cas des diodes classiques de prévoir une région N^+ épaisse du côté de la face arrière. Ainsi, la chute de tension à l'état passant dans la diode est réduite.

Selon un aspect de la présente invention, le contour de la section de chaque cylindre correspond à une courbe fractale et plus particulièrement à une courbe de type Sierpinski qu'on appellera ci-après par simplification et généralisation "courbe ondulée". Ceci permet d'augmenter la surface de jonction pour une surface de puce donnée.

La figure 3B est une vue de dessus agrandie d'un motif de la figure 3A.

La figure 3C représente des courbes fractales de Sierpinski légèrement modifiées, qui augmentent encore la surface de jonction.

La figure 4 est une vue de dessus d'une plaquette de silicium dans laquelle on a formé un grand nombre de cylindres verticaux à section en forme de courbe ondulée tels que ceux de la figure 3B constituant une mer de cellules de diodes. On peut former des diodes de puissances différentes (pouvant laisser passer des courants plus ou moins importants) en choisissant de découper la plaquette selon 4 motifs élémentaires (bloc 31), selon 9 motifs élémentaires (bloc 32), ou selon 16 motifs élémentaires ou plus (bloc 33). On pourra aussi choisir des découpes selon des contours rectangulaires. Ceci présente l'avantage que, en prévoyant des plaquettes de silicium de même structure, on peut obtenir des diodes de puissance différentes en fonction de la découpe, d'où il résulte une diminution des stocks et des lignes de fabrication.

On notera également que les courbes fractales permettent un bon équilibre des surfaces anode-cathode. En outre, leur coefficient de forme permet de réaliser des gravures de cylindre en des temps beaucoup plus courts que dans le cas de cylindres à section circulaire.

On soulignera que, au lieu de prévoir de simples doigts conducteurs 24, du métal pourrait être présent tout autour des zones 21 de type N utiles. La structure peut alors se voir comme une plaque conductrice (métallique) comportant des ouvertures contenant des éléments cylindriques concentriques comprenant un via central 22, entouré d'un cylindre semiconducteur 23 de type P, entouré d'un cylindre semiconducteur 21 de type N, éventuellement entouré d'un cylindre semiconducteur N^+ .

La description ci-dessus vise essentiellement la structure de la diode et l'ordre des étapes de fabrication pourra être modifié.

La figure 5A représente une vue en coupe plus détaillée d'une structure telle que celle de la figure 3. De mêmes

éléments qu'en figure 3 sont désignés par les mêmes références. Les références 26 et 27 désignent des couches isolantes. La couche isolante 26 sur la face supérieure du substrat recouvre toutes les régions N et la couche isolante 27 sur la face inférieure du substrat recouvre toutes les régions P. Une métallisation M1 de face supérieure est en contact avec tous les vias 22 en contact avec les régions de type P 23 et une métallisation de face inférieure M2 est en contact avec tous les vias 24 en contact avec les régions de type N⁺ 25, elles-mêmes en contact avec des portions du substrat N 21.

Dans l'exemple de la figure 5A, on a représenté les vias de la couche supérieure comme des vias sensiblement traversants et les vias de la couche inférieure comme des vias non traversants. Toutefois, d'autres options pourront être prises selon les technologies de fabrication choisies.

La figure 5B représente le schéma équivalent de la structure de la figure 5A entre les métallisations M1 et M2. Selon un avantage de la présente invention, la surface de jonction de l'ensemble des cellules de diodes en parallèle peut être bien supérieure à la surface de la puce contenant ces cellules de diodes. Un autre avantage de ce type de fabrication est qu'il est possible de réaliser plusieurs composants selon l'invention sur une même tranche, chacun de ces composants pouvant facilement être entouré d'un mur isolant formé de toute façon choisie.

La structure de diode selon la présente invention se prête bien à la réalisation de divers assemblages de diodes, par exemple des montages série, en pont redresseur, en diode à avalanche bidirectionnelle, en anti-parallèle... Ces assemblages peuvent être réalisés en connectant chacun des contacts de diode à une métallisation du côté de la face inférieure ou supérieure, et éventuellement en prévoyant plusieurs niveaux de métallisation ainsi que des murs isolants entre diodes 59.

Dans les diverses figures, les doigts sont illustrés comme traversants ou non. Cela dépend des modes de réalisation

et des technologies de fabrication choisies. Dans le cas de doigts traversants, leur extrémité non connectée à un contact est isolée.

La figure 6 est une vue en coupe d'une réalisation selon l'invention d'un transistor bipolaire. Ce transistor bipolaire est formé dans un substrat de type N 60 et comprend une région d'émetteur 61 fortement dopée de type N autour d'un doigt conducteur central 62 s'étendant sur toute ou sensiblement toute l'épaisseur du substrat. Une région de base 63 de type P est disposée autour de l'émetteur, entre l'émetteur et une région de collecteur correspondant au substrat 60. Des doigts conducteurs 64 partant de la face inférieure sont entourés de régions N⁺ 65 et servent de contact de collecteur. Une métallisation intermédiaire M3 du côté de la face supérieure est solidaire de doigts conducteurs 66 faisant contact avec la région de base 63. Les doigts conducteurs 66 sont espacés les uns des autres à la façon d'une grille pour permettre un bon fonctionnement de la base. Les doigts 64 pourront constituer un cylindre conducteur entourant complètement la cellule de transistor représentée.

La figure 7 est une vue en coupe d'une structure de thyristor. La structure est réalisée dans un substrat semi-conducteur 70, de type N. Dans une région centrale, un doigt conducteur 71 est entouré d'une région fortement dopée de type N 72 correspondant à la cathode du thyristor et d'une couche P 73. Ces régions peuvent être réalisées en diffusant successivement, à partir d'une ouverture traversante ou sensiblement traversante, un dopant P puis un dopant N ou bien en diffusant simultanément des dopants dont les vitesses de diffusion sont convenablement différentes. Le doigt 71 est connecté à une métallisation de cathode MK. Des doigts conducteurs 74 pénètrent dans la région de type P 73 et constituent des prises de contact de gâchette solidaires d'une métallisation de gâchette MG. Du côté de la face inférieure, à la périphérie du composant, sont réalisés des doigts conducteurs 75 entourés d'une région de type

P 76 qui constitue l'anode du thyristor et qui est reliée par les doigts 75 à une métallisation d'anode MA. On notera que l'on peut réaliser, comme cela est classique dans un thyristor, des courts-circuits gâchette-cathode localisés au moyen de doigts conducteurs 77 pénétrant partiellement seulement dans le substrat entre la région N 72 et la région P 74. Des couches isolantes non référencées sont destinées à séparer les diverses métallisations et à isoler les zones appropriées. L'ensemble de la structure pourra être entouré d'un mur isolant.

10 Un triac pourra être réalisé en montant deux thyristors du type ci-dessus en parallèle et en opposition.

Les diverses structures illustrées sont susceptibles de nombreuses variantes et modifications, et l'homme de l'art notera que des variantes décrites pour certains modes de réalisation s'appliquent à d'autres modes de réalisation.

De même que l'on a illustré en figure 4 une mer de cellules de diode, on pourra par répétition d'un motif réaliser des thyristors ou des transistors multicellulaires. De même, de nombreuses associations de composants pourront simplement être réalisées dans un même substrat, séparées ou non par des murs isolants.

D'autre part, de nombreux modes de réalisation apparaîtront à l'homme de l'art et seront possibles en fonction de l'évolution de la technique, la réalisation de doigts conducteurs ou de plaques formées dans des tranchées n'étant que des exemples d'approches possibles à la réalisation des structures à jonctions verticales décrites.

On notera que, comme une plus grande densité de composants est obtenue avec des composants à jonctions verticales selon la présente invention qu'avec des composants classiques à jonctions horizontales, plus de chaleur sera générée par unité de surface quand ces composants sont passants (encore que la chute de tension à l'état passant est plus faible grâce à l'optimisation possible de l'épaisseur la couche de tenue en tension inverse). Toutefois, cette chaleur pourra être avanta-

geusement extraite grâce aux doigts conducteurs traversants. En effet, des doigts métalliques ont une conductivité thermique 2 à 3,5 fois plus élevée que le volume équivalent de silicium. Ces doigts pourront occuper une surface importante et notamment les 5 "doigts" périphériques pourront occuper toute la surface libre entre les cellules élémentaires d'un composant.



REVENDICATIONS

1. Composant semiconducteur, caractérisé en ce que les jonctions actives s'étendent selon au moins un cylindre perpendiculaire aux faces principales d'une puce semiconductrice sensiblement sur toute l'épaisseur de celle-ci, le ou lesdits cylindres ayant, en coupe, une section en forme de courbe fermée ondulée.

2. Composant semiconducteur selon la revendication 1, dans lequel ladite courbe ondulée est une courbe de type courbe de Sierpinski.

3. Composant semiconducteur selon la revendication 1, dans lequel les contacts avec les régions devant être connectées sont pris par des doigts conducteurs perpendiculaires aux faces principales de la puce semiconductrice et traversant sensiblement toute la région avec laquelle on souhaite établir un contact.

4. Composant semiconducteur selon la revendication 3, dans lequel les doigts conducteurs sont des doigts métalliques.

5. Composant semiconducteur selon la revendication 1, de type multicellulaire, dans lequel les jonctions sont constituées de plusieurs cylindres orthogonaux aux faces principales du substrat.

6. Composant semiconducteur selon la revendication 3, dans lequel ledit au moins un doigt conducteur solidaire de la couche semiconductrice la plus externe constitue un cylindre ou des portions de cylindre entourant ladite couche semiconductrice la plus externe.

7. Diode selon la revendication 1, comprenant un doigt conducteur central (22) s'étendant sur toute l'épaisseur du substrat entouré d'une région d'un premier type de conductivité (23) et d'une région d'un second type de conductivité (21), un contact étant repris à la périphérie de la région du second type de conductivité par au moins un doigt conducteur périphérique, le doigt conducteur central étant relié à une première métallisation s'étendant sur toute une face du substrat, et ledit au

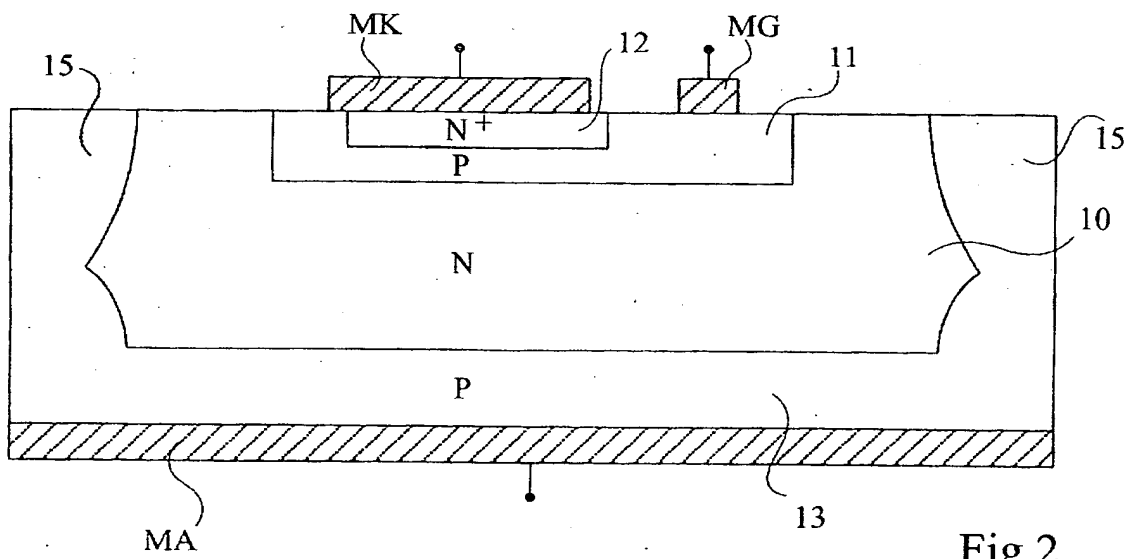
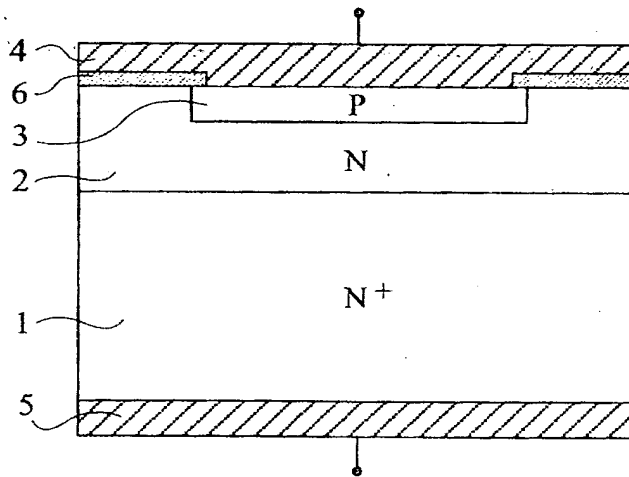
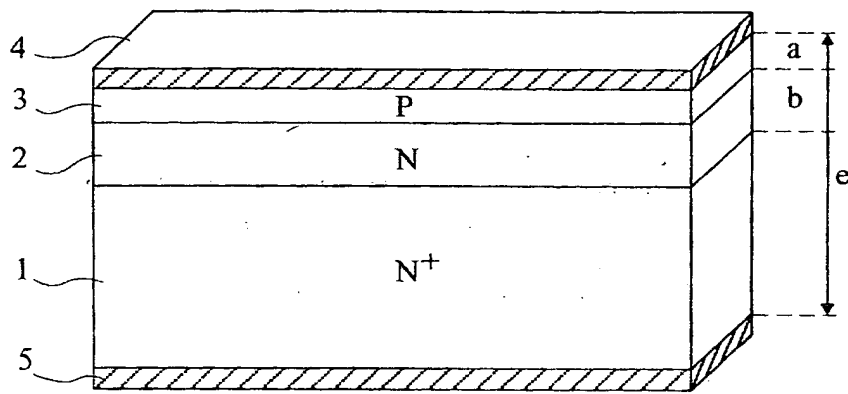
moins un doigt conducteur périphérique étant relié à une métallisation sur l'autre face du substrat.

8. Diode selon la revendication 5, formée dans un substrat semiconducteur de type N, dans laquelle les doigts conducteurs pénétrant les régions de type N sont entourés de régions (25) fortement dopées de type N.

9. Transistor bipolaire selon la revendication 1, comprenant en alternance une région d'un premier type de conductivité (61), une région d'un deuxième type de conductivité (63), et une région du premier type de conductivité (60), chacune de ces régions s'étendant sur toute l'épaisseur du substrat et étant contactée par au moins un doigt conducteur, chacun de ces doigts conducteurs (62, 66, 64) étant respectivement connecté à une métallisation d'émetteur (M1), à une métallisation de base (M3), et à une métallisation de collecteur (M2).

10. Thyristor selon la revendication 1, comprenant successivement une première région d'un premier type de conductivité (72), une deuxième région du deuxième type de conductivité (73), une troisième région du premier type de conductivité (70) et une quatrième région du deuxième type de conductivité (76), chacune de ces régions s'étendant sur toute l'épaisseur du substrat, un doigt conducteur (71) s'étendant dans toute la première région, au moins un doigt conducteur (74) s'étendant dans toute la deuxième région, et au moins un doigt conducteur (75) s'étendant dans toute la deuxième région.

11. Thyristor selon la revendication 8, dans lequel le premier type de conductivité est le type N, et le deuxième type de conductivité est le type P, la première région étant une région de cathode et la quatrième région une région d'anode, et dans lequel des métallisations localisées (77) s'étendent verticalement entre la région de gâchette et la région de cathode pour constituer des courts-circuits gâchette-cathode localisés.



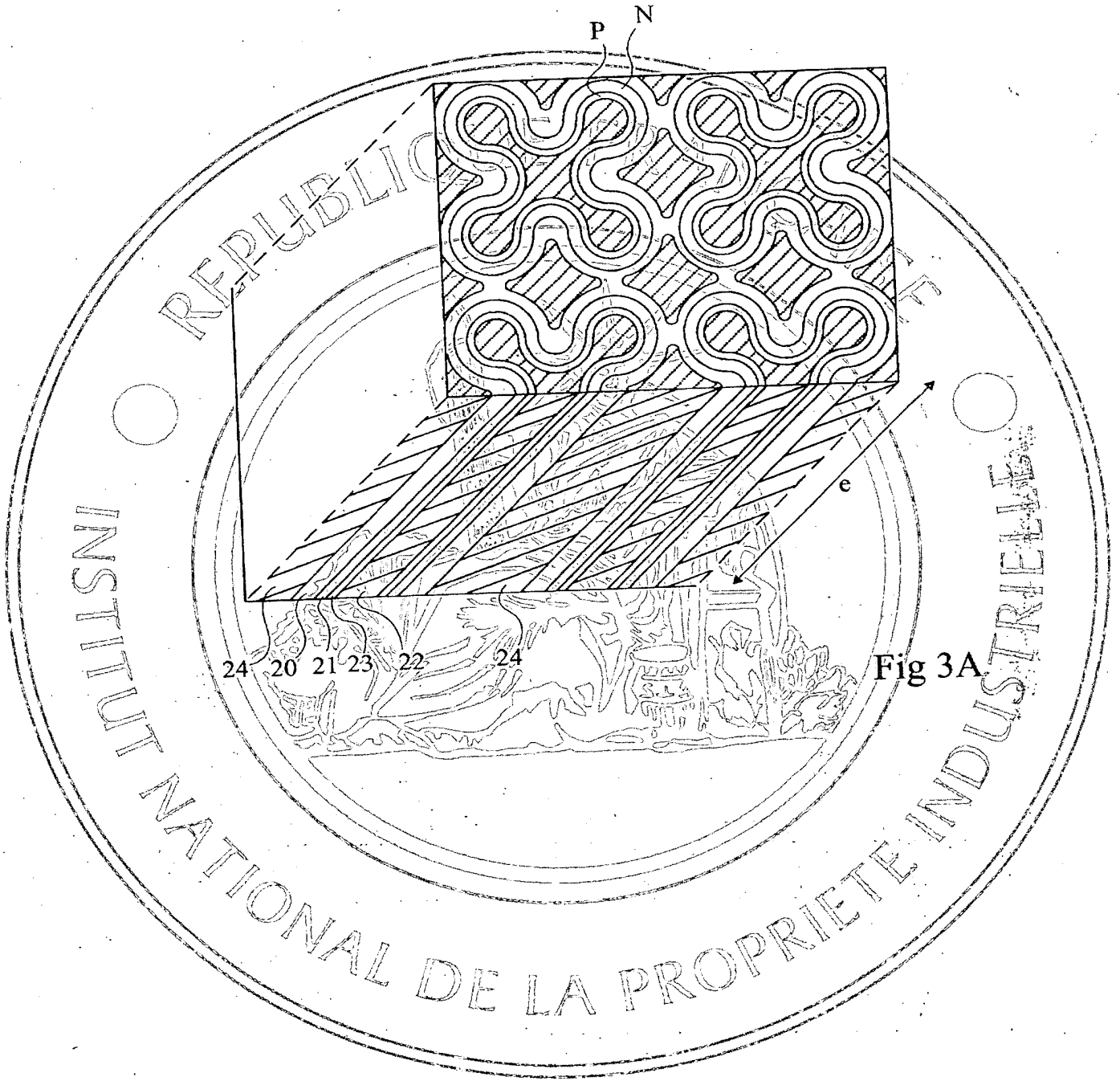


Fig 3A

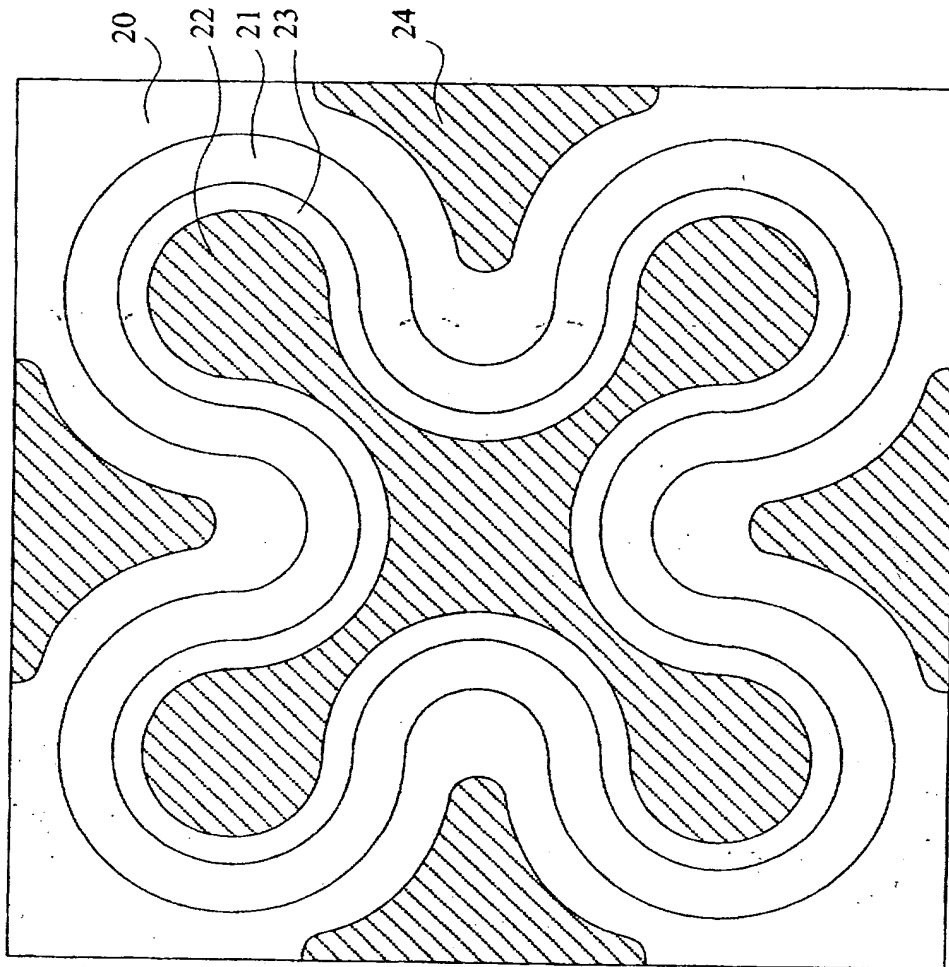


Fig 3B

Fig 3C

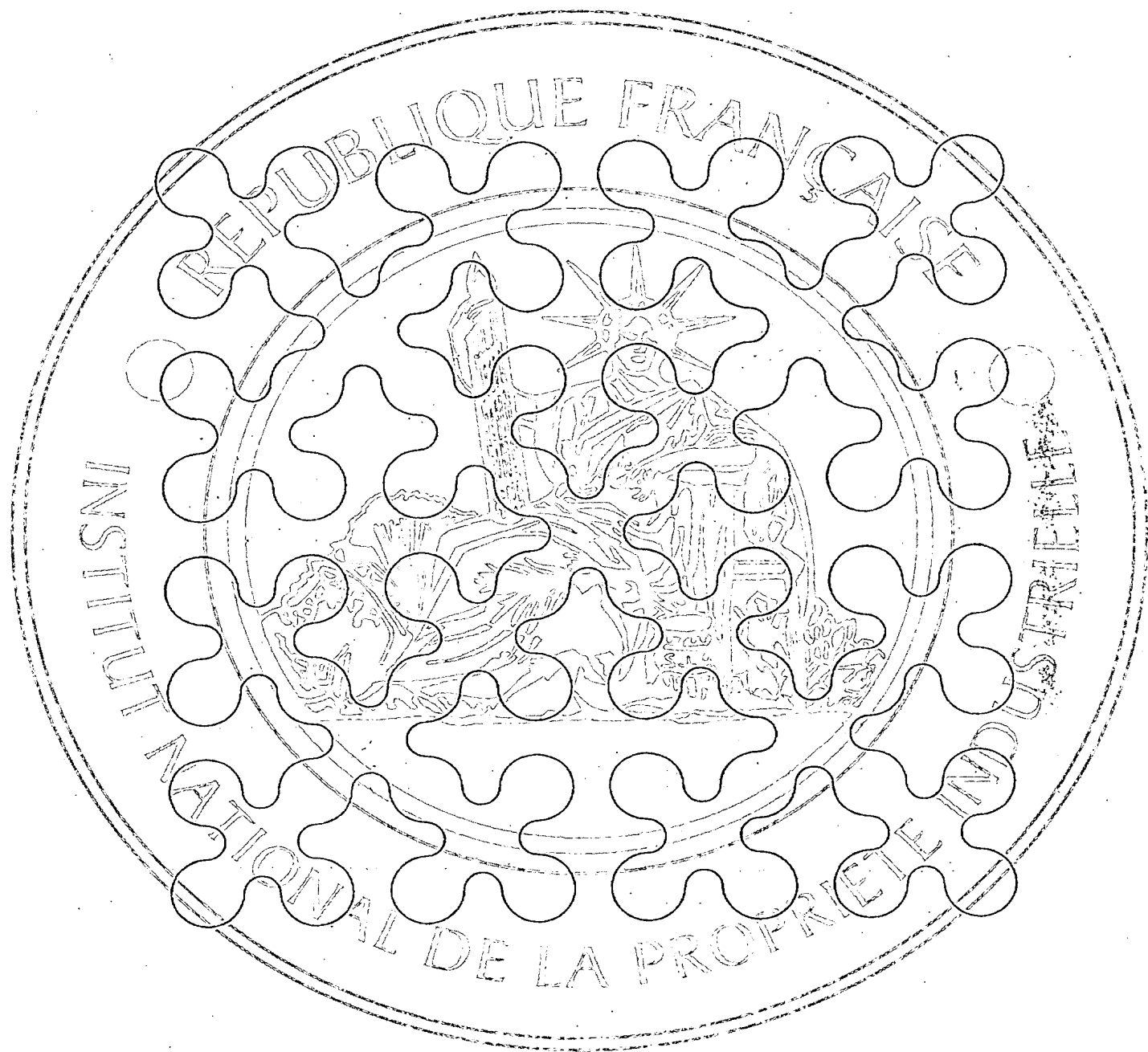
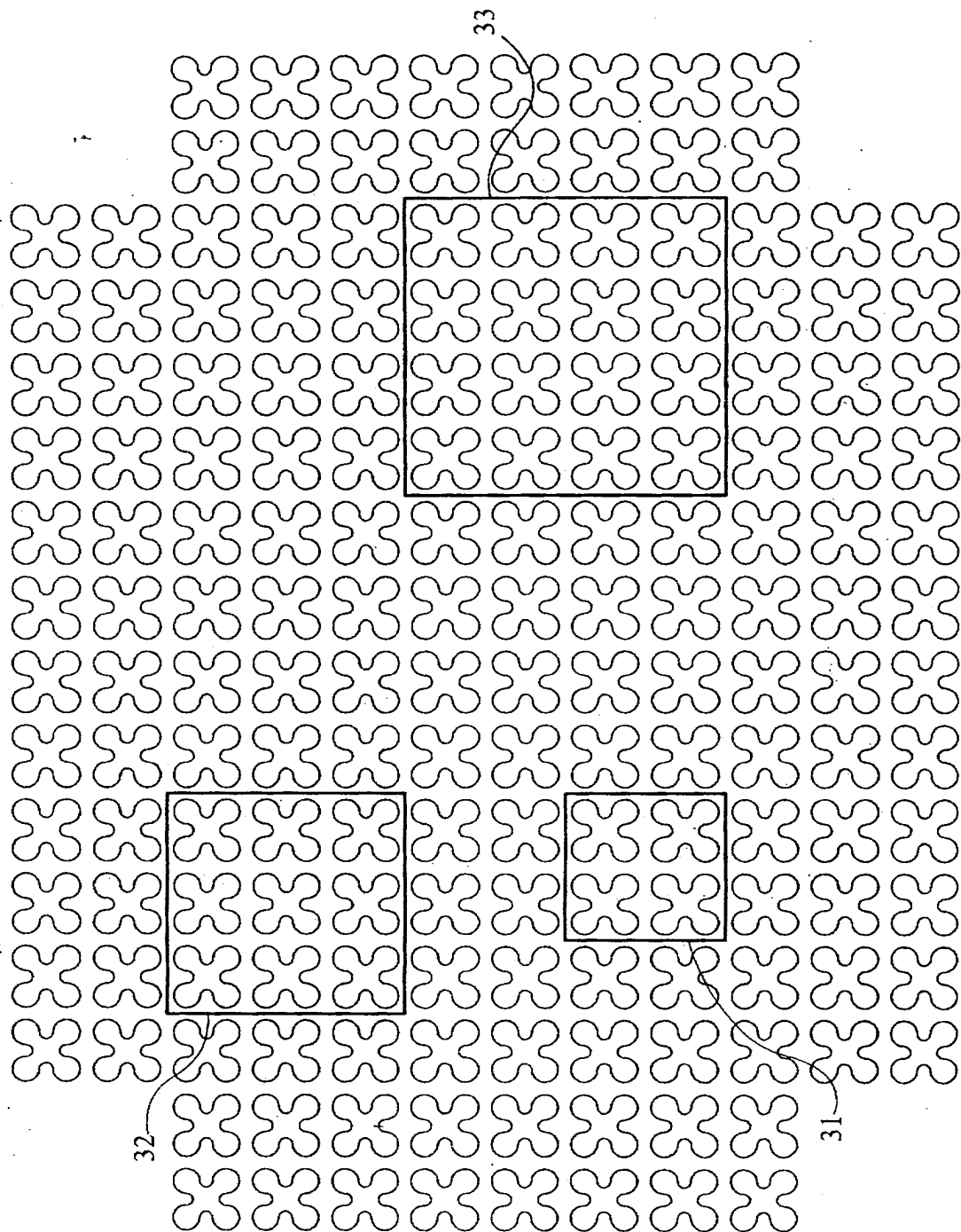


Fig 4



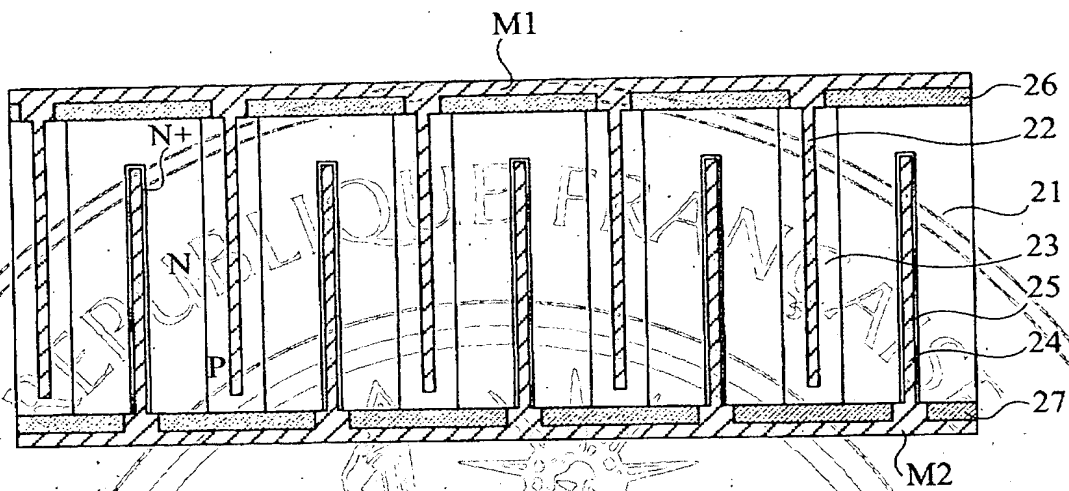


Fig 5A

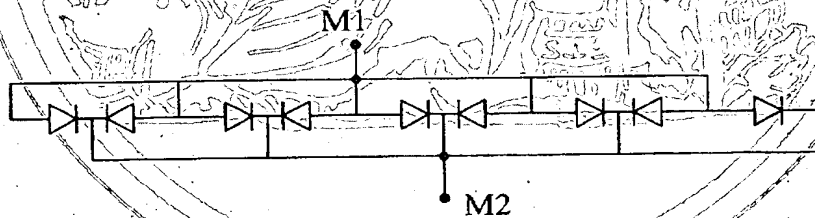


Fig 5B

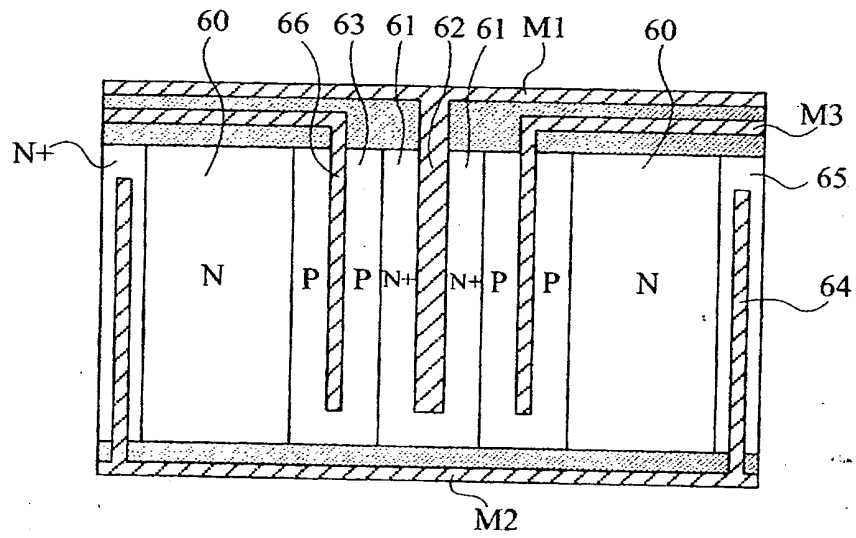


Fig 6

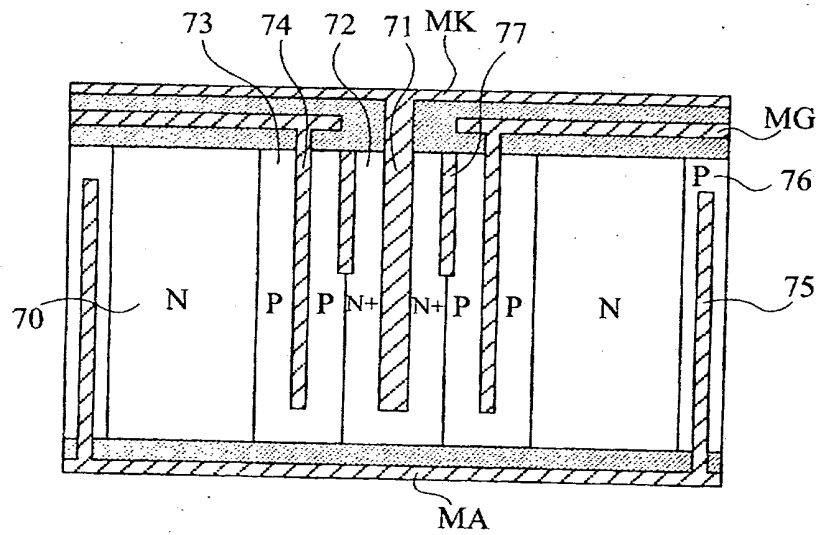


Fig 7



BREVET D'INVENTION CERTIFICAT D'UTILITE

Désignation de l'inventeur

Vos références pour ce dossier		B6274
N° D'ENREGISTREMENT NATIONAL		
TITRE DE L'INVENTION		COMPOSANT SEMICONDUCTEUR ACTIF A SURFACE OPTIMISEE
LE(S) DEMANDEUR(S) OU LE(S) MANDATAIRE(S):		
DESIGNE(NT) EN TANT QU'INVENTEUR(S):		
Inventeur 1		MORAND
Nom	JEAN LUC	
Prénoms	20, RUE DE LA FOSSE MARINE	
Rue	37100 TOURS	
Code postal et ville		
Société d'appartenance		

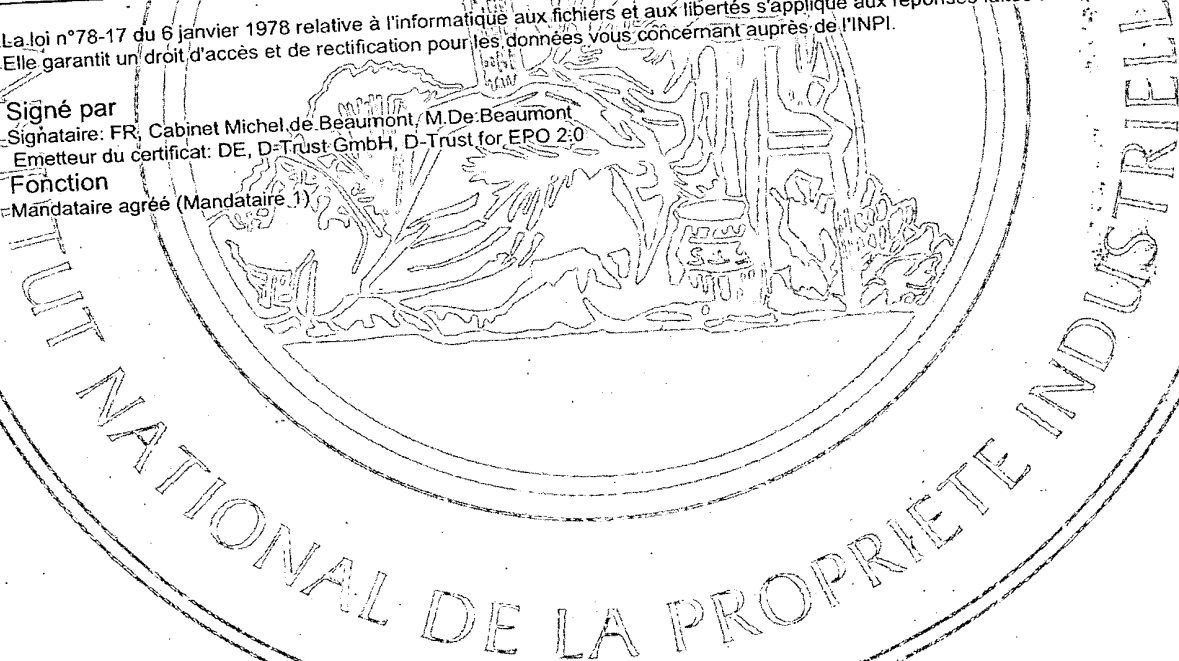
La loi n°78-17 du 6 janvier 1978 relative à l'informatique aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

Signé par

Signataire: FR, Cabinet Michel de Beaumont / M. De Beaumont
Emetteur du certificat: DE, D-Trust GmbH, D-Trust for EPO 2;0

Fonction

Mandataire agréé (Mandataire 1)



THIS PAGE BLANK (USPTO)